

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-150114

(43)Date of publication of application : 02.06.1999

(51)Int.CI. H01L 21/3205
H01L 21/768

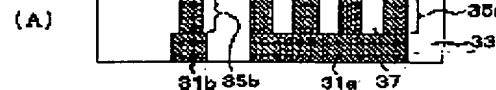
(21)Application number : 09-336390 (71)Applicant : RICOH CO LTD
(22)Date of filing : 19.11.1997 (72)Inventor : MOCHIZUKI EIJI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE OF THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the generation of dishing phenomenon of thinning phenomenon.

SOLUTION: Via holes 35a and 35b are respectively formed on an interlayer insulating film 33 on wiring patterns 31a and 31b. An insulating member 37 constitute of the interlayer insulating film is formed vertically to a semiconductor substrate in the via hole 35a. An interlayer insulating film 39 is formed on the interlayer insulating film 33. Pads 41a and 41b are respectively formed on the interlayer insulating film 39 on the via holes 35a and 35b. An insulating member 43 constituted of the interlayer insulating film is formed in a direction vertical to the semiconductor substrate in the pad 41a.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-150114

(43)公開日 平成11年(1999)6月2日

(51)Int.Cl.
H 01 L 21/3205
21/768

識別記号

F I
H 01 L 21/88
21/90

K
T
J

審査請求 未請求 請求項の数9 FD (全7頁)

(21)出願番号 特願平9-336390

(22)出願日 平成9年(1997)11月19日

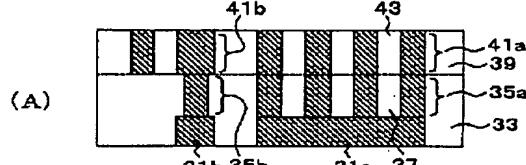
(71)出願人 000006747
株式会社リコー
東京都大田区中馬込1丁目3番6号
(72)発明者 望月 榮二
東京都大田区中馬込1丁目3番6号 株式
会社リコー内
(74)代理人 弁理士 野口 篤雄

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 ディッキング現象やシニング現象の発生を防ぐ。

【解決手段】 配線パターン31a, 31b上の層間絶縁膜33には、それぞれビアホール35a, 35bが形成されている。ビアホール35a内には、半導体基板に垂直方向に、層間絶縁膜からなる絶縁部材37が形成されている。層間絶縁膜33上には、層間絶縁膜39が形成されている。ビアホール35a, 35b上の層間絶縁膜39には、それぞれパッド41a, 41bが形成されている。パッド41a内には、半導体基板に垂直方向に、層間絶縁膜からなる絶縁部材43が形成されている。



【特許請求の範囲】

【請求項1】 2層以上の多層配線を用い、それぞれの層の配線は層間絶縁膜により絶縁されている半導体装置において、

半導体基板及び多層配線中のパッド領域及び配線領域に形成された金属パターン内に、その金属パターンの上面から底面まで連続している絶縁部材が備えられていることを特徴とする半導体装置。

【請求項2】 一つの前記パッド領域又は前記配線領域内に、複数の前記絶縁部材を備え、かつ、それらの絶縁部材はそれぞれ他の絶縁部材とも前記層間絶縁膜とも接していない請求項1に記載の半導体装置。

【請求項3】 前記絶縁部材の最小寸法は $1\text{ }\mu\text{m}$ 以上である請求項1又は2に記載の半導体装置。

【請求項4】 一つの前記絶縁部材と隣接する他の前記絶縁部材、又は前記層間絶縁膜に隣接する前記絶縁部材と前記層間絶縁膜との距離は $10\text{ }\mu\text{m}$ 以下である請求項1、2又は3に記載の半導体装置。

【請求項5】 2層以上の多層配線を用い、それぞれの層の配線は層間絶縁膜により絶縁されている半導体装置の製造方法において、半導体基板及び多層配線中にパッド及び配線を形成するためにパッド領域上及び配線領域上の層間絶縁膜のエッチングをする際、パッド領域、配線領域又はその両方の領域内にパッド領域又は配線領域の上面から底面まで連続する前記層間絶縁膜にてなる絶縁部材パターンを残すことを特徴とする半導体装置の製造方法。

【請求項6】 一つの前記パッド領域又は前記配線領域内に、複数の前記絶縁部材パターンを備え、かつ、それらの絶縁部材パターンはそれぞれ他の絶縁部材パターンとも前記層間絶縁膜とも接していない請求項5に記載の半導体装置の製造方法。

【請求項7】 前記絶縁部材パターンの最小寸法は $1\text{ }\mu\text{m}$ 以上である請求項5又は6に記載の半導体装置の製造方法。

【請求項8】 一つの前記絶縁部材パターンと隣接する他の前記絶縁部材パターン、又は前記層間絶縁膜に隣接する絶縁部材パターンと前記層間絶縁膜との距離は $10\text{ }\mu\text{m}$ 以下である請求項5、6又は7に記載の半導体装置の製造方法。

【請求項9】 上層の配線に形成されたパッド領域と下層の配線に形成されたパッド領域の間を電気的に接続する接続孔を、その接続孔の上に形成されるパッド領域と同時に形成するデュアル・ダマシン法を用いて形成する場合、前記接続孔はパッド領域のパターンと同一に形成する請求項5から8に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】 現在、VLSIの多層配線技術に関して様々な問題が顕著化してきている。中でも配線密度の高集積化を目的として、配線を多層化していくと、上層の配線になるほど絶対段差が大きくなるため、配線形成のリソグラフィー工程における焦点深度のマージンが狭くなり、微細配線の形成が困難になってくる。そこで、3層以上の多層配線には全体的な完全平坦化が必要不可欠である。その解決方法として、絶縁膜や金属膜を研磨するCMP(Chemical Mechanical Polishing)法が脚光を浴びている。CMP法とは、シリカ粒子等を含む研磨液(以下スラリーと呼ぶ)を流しながら定盤に張り付けた研磨パッドにウエハを押しつけ、ウエハに加重をかけながら定盤を回転させて凸部のみを選択的に研磨する方法である。

【0003】 この技術を用いて、溝配線を形成するプロセスが、例えばC.W.Kaantaらによって提案されている(VMIC Conference 1991 p.144)。溝配線、特に配線とピアホールを同時に形成するデュアル・ダマシン(dual damascene)法のプロセスを図1の(A)から(D)を参照して説明する。

【0004】 (A) まず、半導体基板上に絶縁膜を介して形成されたアルミ等からなる下層メタル配線1上に、層間絶縁膜としてシリコン酸化膜3を全面に形成する。その後、シリコン酸化膜3上にフォトレジスト5を形成し、リソグラフィー工程と酸化膜エッティング工程により、シリコン酸化膜3に上層配線用の開口部7を形成する。

(B) 次に、フォトレジスト5を除去した後、新たにフォトレジスト9を形成し、リソグラフィー工程と酸化膜エッティング工程により下層配線と上層配線を接続するピアホール用の開口部11を形成する。

(C) フォトレジスト9を除去した後、アルミ等の配線膜13をスペッタ法又はCVD法により基板全面に形成する。

(D) その後、CMP法を用いて配線膜13をシリコン酸化膜3まで研磨することにより、配線15及びピアホール17を形成することができる。

【0005】 しかしながら、実際には半導体基板からの高さが等しい2種類以上の膜を同時に研磨する場合、研磨レートの違いによって、研磨レートの速い膜で形成されているパターンの中心部の膜厚が薄くなり、くぼみが生じるというディッシング(dishing)現象が発生する。図2(A)は、ディッシング現象を表す模式図である。シリコン酸化膜19に開口部21が形成されており、その開口部21にはCMP法により形成されたアルミ等のメタル23が形成されている。メタル23にはくぼみが形成されている。絶縁膜と金属膜の研磨レートの差は顕著なので、ディッシング現象が現れやすく、特に

ボンディングパッドのように大面積部で著しく発生する。その結果、最悪の場合ボンディングパッド領域の金属が無くなってしまうこともある。

【0006】また、配線部の絶縁膜と金属膜が同時に研磨されてしまい、配線全体が薄くなってしまうシニング(thinning)現象が発生することもある。図2(B)は、シニング現象を表す模式図である。シリコン酸化膜25に配線パターン用の開口部27が複数形成されており、その開口部27にはCMP法により形成されたアルミ等のメタル29が形成されている。複数の配線パターンが形成される領域の中央部には、シニング現象によりくぼみが形成されている。配線パターンが接近して形成される領域では、パターンを形成している絶縁膜も過剰に研磨されることがあり、最悪の場合パターンが無くなってしまうことがある。

【0007】このような配線不良の発生防止に対して、例えば、ボンディングパッド領域のメタルが無くならないように、ボンディングパッド領域の溝を予め他のメタル配線より深く形成して、ディッシングが発生しても、パッド領域のメタルが残るようにする方法が提案されている(特開平7-130737号(従来例)参照)。

【0008】

【発明が解決しようとする課題】しかしながら、上記従来例は、ディッシング防止の根本的解決策になっておらず、例えばパッド領域に1μmのくぼみが形成された場合、上層に同様な溝配線を形成するために絶縁膜を形成したときに、パッド領域上部近傍の絶縁膜には約1μmの段差が発生してしまうことになる。この段差は、後のリソグラフィー工程や酸化膜エッチング工程時に悪影響を与え、寸法や抵抗値の異常を引き起こす可能性がある。

【0009】そこで、本発明は、ボンディングパッド領域のように幅の広い配線部を溝配線で形成する際に、ディッシング現象やシニング現象が発生するのを防ぎ、半導体装置の配線信頼性及び歩留まり向上を目的とするものである。

【0010】

【課題を解決するための手段】本発明による半導体装置は、2層以上の多層配線を用い、それぞれの層の配線は層間絶縁膜により絶縁されている半導体装置において、半導体基板及び多層配線中のパッド領域及び配線領域に形成された金属パターン内に、その金属パターンの上面から底面まで連続している絶縁部材を備える。最大幅が例えば10μm以上のパッド領域又は配線領域内には、パッド領域又は配線領域を形成する金属パターンの上面から底面まで連続している絶縁部材が備えられているので、パッド領域及び配線領域形成時に発生するディッシングが形成されていない。

【0011】本発明による半導体装置の製造方法は、半導体基板及び多層配線中にパッド領域及び配線領域を形

成するためにパッド領域上の層間絶縁膜のエッチングをする際、パッド領域、配線領域又はその両方の領域内にパッド領域又は配線領域の上面から底面まで連続する層間絶縁膜にてなる絶縁部材パターンを残すものである。最大幅が例えば10μm以上のパッド領域又は配線領域内には、パッド領域又は配線領域の上面から底面まで連続する絶縁部材パターンを残すので、パッド領域及び配線領域に金属を埋め込んだ後、CMPによりパッド領域及び配線領域を形成するときに、ディッシング現象の発生を抑えることができる。

【0012】

【発明の実施の形態】上記半導体装置は、一つのパッド領域又は配線領域内に、複数の絶縁部材を備え、かつ、それらの絶縁部材はそれぞれ他の絶縁部材とも層間絶縁膜とも接していないことが好ましい。その結果、パッド領域又は配線領域内で、電気的に孤立する金属パターンがなく、面積が広いパッド領域又は配線領域を形成することができる。絶縁部材の最小寸法は1μm以上であることが好ましい。その結果、シニング現象を抑制することができる。一つの絶縁部材と隣接する他の絶縁部材、又は層間絶縁膜に隣接する絶縁部材と層間絶縁膜との距離は10μm以下であることが好ましい。その結果、効果的にディッシング現象を抑えることができる。

【0013】上記半導体装置の製造方法は、一つのパッド領域内に層間絶縁膜にてなる複数の絶縁部材パターンを備え、かつ、それらの絶縁部材パターンはそれぞれ他の絶縁部材パターンとも層間絶縁膜とも接していないことが好ましい。その結果、パッド領域又は配線領域内で、電気的に孤立する金属パターンをなくし、面積が広いパッド領域又は配線領域を形成することができる。絶縁部材パターンの最小寸法は1μm以上であることが好ましい。その結果、シニング現象を抑制することができる。一つの絶縁部材パターンと隣接する他の絶縁部材パターン、又は層間絶縁膜に隣接する絶縁部材パターンと層間絶縁膜との距離は10μm以下であることが好ましい。その結果、効果的にディッシング現象を抑えることができる。

【0014】上層の配線に形成されたパッド領域と下層の配線に形成されたパッド領域の間を電気的に接続する接続孔を、その接続孔の上に形成されるパッド領域と同時に形成するデュアル・ダマシン法を用いて形成する場合、接続孔はパッド領域のパターンと同一に形成することが好ましい。その結果、上層パッドの領域と下層のパッド領域の接続面積が増加し、確実に配線間の電気的導通を得ることができる。また、パッド領域のレイアウト設計を容易に行なうことができる。

【0015】

【実施例】図3は、本発明による半導体装置の一実施例を表す図であり、(A)は配線部の断面図、(B)は(A)でのパッド領域の上面図である。(C)は他の実

施例のパッド領域の上面図であり、断面図は(A)と同様である。絶縁膜(図示略)で覆われた半導体基板(図示略)上に、例えばAl-Si-Cuなどの金属からなる配線パターン31a, 31bが形成されている。配線パターン31a, 31bを覆うように、例えばシリコン酸化膜からなる層間絶縁膜33が形成されている。配線パターン31a, 31b上の層間絶縁膜33には、それぞれビアホール35a, 35bが形成されており、ビアホール35a, 35b内には例えばAl-Si-Cuなどの金属が埋め込まれている。ビアホール35a内には、半導体基板に垂直方向に、層間絶縁膜からなる絶縁部材37が形成されている。層間絶縁膜33上には、層間絶縁膜39が形成されている。ビアホール35a, 35b上の層間絶縁膜39には、それぞれパッド41a, 41bが、例えばAl-Si-Cuなどの金属により形成されている。パッド41a内には、半導体基板に垂直方向に、層間絶縁膜からなる絶縁部材43が形成されている。

【0016】絶縁部材43の形状は、例えば(B)や(C)に示す形状のものに限られるものではないが、絶縁部材43とそれに隣接する絶縁部材43、又は層間絶縁膜39とそれに隣接する絶縁部材43の距離は $10\mu m$ 以下であることが好ましい。また、絶縁部材43の上面から見た最小部分の寸法は $1\mu m$ 以上であることが好ましい。さらに、パッド41aに形成される金属がすべて電気的に接続されるように(B)や(C)のように絶縁部材43を形成することが好ましい。

【0017】ビアホールの寸法は、基板及び多層配線に形成される配線の中で最小幅寸法をもつ配線の幅寸法よりも小さいことが好ましい。その結果、金属配線部の溝幅の増加を抑えることができるので、ディッシングを抑制することができる。また、この場合、ビアホール数を増やして、複数箇所で上下配線を電気的に接続すると、確実に上下配線間の電気的導通を得ることができる。

【0018】図4及び図5は、本発明による半導体装置の製造方法の一実施例を表す工程図である。この実施例では、3層配線の半導体装置で2層目に本発明を適用した例を説明する。ここでは、簡易的に2層のみに適用しているが、1層目から適用した場合も何ら問題はない。

【0019】(A)トランジスタ部が形成されたシリコン基板(図示略)上に、絶縁膜(図示略)を形成する。その絶縁膜をCMP法を用いて、平坦化する。次に、例えばAl-Si-Cuを例えばスパッタ法により形成後、第1の配線パターン31a, 31bを形成する。配線パターン31a, 31bに用いる金属は、Al-Cu、Cu、Wなどであってもよく、特に限定せず、また成膜方法は、スパッタ法でもCVD法でもよいことは言うまでもない。例えばPETEOS(Plasma Enhansment - Tetra Ethyl Ortho Silicate : TEOSを原料にしてプラズマCVD法で成膜した酸化膜)膜などの第1の層間絶縁膜45を

堆積させ、シリカベースのスラリーを用いて層間絶縁膜45をCMP法により平坦化する。との工程で形成される第1のビアホールの深さと第2の配線パターンの厚さの設計値の和に対して、層間絶縁膜45の厚さが薄くなつた場合は、厚さが設計値と等しくなるように層間絶縁膜45を再堆積させる。

【0020】次に、溝配線用のフォトレジストパターン47を形成した後、配線パターン31a上の層間絶縁膜45の一部が絶縁部材45aとして残るよう層間絶縁膜45のエッチングを行ない、第2の配線パターン用の開口部49a, 49bを形成する。この時、開口部49aに残された層間絶縁膜45のパターン45aは図3(B)又は(C)に示すような長方形形状や正方形形状にバーニングする。この形状は、後に開口部49aに埋め込まれる金属を、開口部49a内で孤立した金属が発生しないようにバーニングすることが好ましい。つまり、開口部49aにバーニングされて残る層間絶縁膜45の絶縁部材45aがそれぞれ孤立しており、他の絶縁部材45aとも層間絶縁膜45とも接しないようにバーニングされればよい。また、絶縁部材45aと隣接する他の絶縁部材45aとの間隔、及び層間絶縁膜45と最も近い絶縁部材45aとの間隔(溝の幅)は、 $10\mu m$ 以下にすると、ディッシング防止に効果的である。開口部49aにより形成される配線やパッドが $10\mu m$ 以上の幅広配線やパッドである場合に特に効果的である。

【0021】(B)次に、フォトレジストパターン47を除去した後、フォトレジストパターン51を形成し、層間絶縁膜45のエッチングを行ない、開口部53a, 53bを形成する。開口部49aが $10\mu m$ 以上の幅広配線やパッドの場合、開口部49aの下には、確実に導通がとれるような数の複数個のビアホールを配置することが好ましい。また、パッド領域の下のビアホールは開口部49aと同パターンに形成してもよい。

【0022】(C)フォトレジストパターン51を除去した後、例えばAl-Si-Cuなどの金属膜を例えばスパッタ法によって基板上に堆積し、開口部49, 53に金属膜を埋め込む。次に、例えばアルミナを研磨剤としたスラリーにより、金属膜のCMPを行ない、層間絶縁膜45が露出するところをCMPの終点とする。その後、HF系などの薬液洗浄を経て、ビアホール55a, 55bと第2の配線パターン57a, 57bの同時形成が完了する。この時、配線パターン57aは、図3

(B), (C)に示されるような構造になっている。その結果、配線パターン57aが $10\mu m$ 以上の幅広配線やパッド領域であっても、スリット状や格子状に層間絶縁膜45からなる絶縁部材45aが形成されているために、ディッシング現象やシニング現象の発生を抑えることができる。配線を多層化する場合、以上の工程を繰り返し行なう。

【0023】引き続き、最上層のピアホールとメタル配線の形成を行なうが、メタル配線の最上層については平坦性はそれほど必要としないため、ここでは従来法で製作する。

(D) まず、例えばPETEOS膜からなる第2の層間絶縁膜59を堆積させた後、配線パターン57a, 57b上に第2のピアホール用の開口部61a, 61bをリソグラフィー技術とエッチング技術によって形成する。

【0024】(E) その後、最上層の配線パターンとなる例えばAl-Si-Cuなどの金属を例えばスパッタ法で堆積させた後、例えば700kg/cm²の高圧を印加し、開口部61a, 61bに金属を埋め込みピアホール65a, 65bを形成する。次に、リソグラフィー技術とエッチング技術によって、配線パターン63a, 63bを形成する。この時、配線パターン63aが10μm以上の幅広配線やパッド領域であっても、あまり平坦性を必要としないので、シート状のものでよい。

(F) 最後に、バッシベーション膜65を堆積した後、配線パターン63a上を開口させて完了する。

【0025】以上の製造方法を用いることにより、メタルCMP時に、配線層のパッド領域のようにメタル幅の広い部分に発生するディッキングやシニングを防止することができ、配線の導通不良を抑制し、配線信頼性及び歩留まりを向上することができる。

【0026】図6は、金属のCMPを研磨時間を変えて行なった時のメタルライン幅と配線深さの関係を示す図であり、メタル配線は孤立もしくは等間隔に並べられたものである。横軸はメタル配線の幅、縦軸をCMP後のメタル配線の深さ、グラフ中の記号はそれぞれ研磨時間を使す（凡例参照）。この図より、メタル幅（溝の幅）を10μm以下にすることがディッキング防止に効果的であるという結果を得ている。

【0027】また、パッドや配線用の開口部内にパターンングして残す層間絶縁膜の短辺は、1μm以上にすることがシニング防止に効果的である。図7は、溝配線の金属を高圧アルミで埋め込んだ後、金属のCMPを行なった時のメタルライン幅と配線深さの関係を示すものであり、メタル配線は2種類の膜厚（700μm, 800μm）で、孤立もしくは等間隔に並べられたものである。図6と較べると、高圧アルミで埋め込んだものは、1μm以下のライン幅で等間隔に並べられたものにシニングが発生していることがわかる。この図より、メタル幅（溝の幅）を1μm以上にすることがシニング防止に効果的であるということがわかる。

【0028】

【発明の効果】本発明による半導体装置は、半導体基板及び多層配線中のパッド領域及び配線領域に形成された金属パターン内に、その金属パターンの上面から底面まで連続している絶縁部材を備えるので、パッド領域及び配線領域形成時に発生するディッキングが形成されてお

らず、信頼性の高い上下層間の電気的導通を得ることができる。上記半導体装置は、一つのパッド領域又は配線領域内に複数の絶縁部材を備え、かつ、それらの絶縁部材はそれぞれ他の絶縁部材とも層間絶縁膜とも接しないようにすると、パッド領域又は配線領域内で、電気的に孤立する金属パターンがなく、面積が広いパッド領域又は配線領域を形成することができる。絶縁部材の最小寸法を1μm以上にすると、シニング現象を抑制することができる。一つの絶縁部材とそれに隣接する他の絶縁部材、又は層間絶縁膜に隣接する絶縁部材と層間絶縁膜との距離を10μm以下にすると、効果的にディッキング現象を抑えることができる。

【0029】本発明による半導体装置の製造方法は、半導体基板及び多層配線中にパッド領域及び配線領域を形成するためにパッド領域上の層間絶縁膜のエッチングをする際、パッド領域、配線領域又はその両方の領域内にパッド領域又は配線領域の上面から底面まで連続する層間絶縁膜からなる絶縁部材パターンを残すので、パッド領域及び配線領域に金属を埋め込んだ後、CMPによりパッド領域及び配線領域を形成するときに、ディッキング現象の発生を抑えることができる。上記半導体装置の製造方法は、一つのパッド領域内に複数の層間絶縁膜のパターンを備え、かつ、それらの絶縁部材パターンをそれぞれ他の絶縁部材とも層間絶縁膜とのパターンと接しないようにすると、パッド領域又は配線領域内で、電気的に孤立する金属パターンをなくし、面積が広いパッド領域又は配線領域を形成することができる。絶縁部材パターンの最小寸法は1μm以上であることが好ましい。その結果、シニング現象を抑制することができる。一つの絶縁部材パターンとそれに隣接する他の絶縁部材パターン、又は層間絶縁膜に隣接する絶縁部材パターンと層間絶縁膜との距離は10μm以下であることが好ましい。その結果、効果的にディッキング現象を抑えることができる。

【0030】デュアル・ダマシン法を用いて接続孔を形成する場合、接続孔をパッド領域のパターンと同一に形成すると、上層パッドの領域と下層のパッド領域の接続面積が増加し、確実に配線間の電気的導通を得ることができる。また、パッド領域のレイアウト設計を容易に行なうことができる。

【図面の簡単な説明】

【図1】従来例を表すプロセス図である。

【図2】パッド領域のディッキング現象及びシニング現象を表す断面図である。

【図3】一実施例を表す図であり、(A)は配線部の断面図、(B)は(A)でのパッド領域の上面図である。

(C)は他の実施例のパッド領域の上面図であり、断面図は(A)と同様である。

【図4】製造方法の一実施例を表すプロセス図である。

【図5】同実施例の続きを表すプロセス図である。

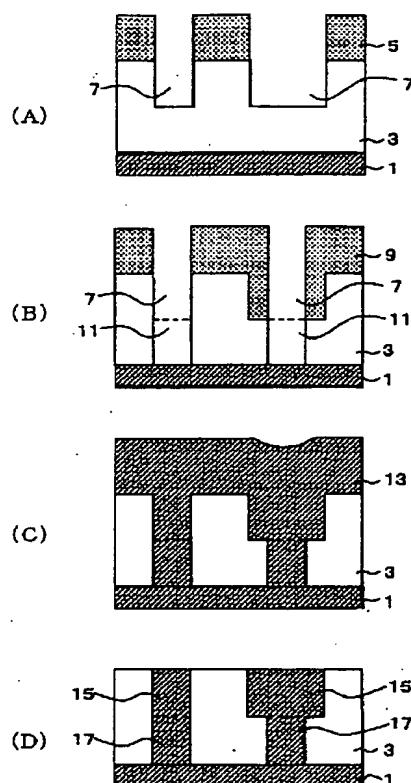
【図6】金属のCMPを研磨時間を使って行なった時のメタルライン幅と配線深さの関係を表す図である。

【図7】溝配線の金属を高圧アルミで埋め込んだ後、CMPを行なった時のメタルライン幅と配線深さの関係を表す図である。

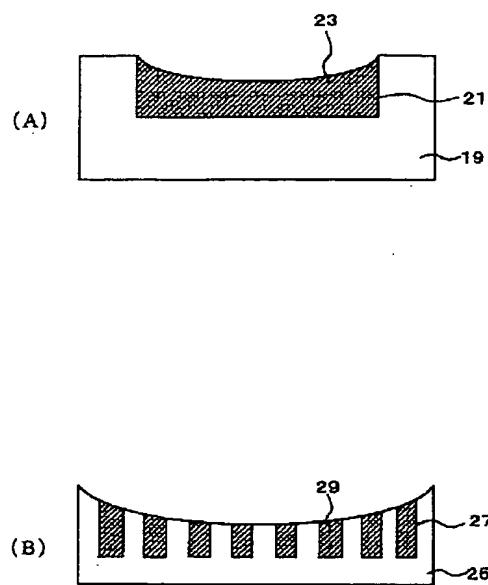
【符号の説明】

31a, 31b	配線パターン
33, 37, 39, 43	層間絶縁膜
35a, 35b	ビアホール
41a, 41b	パッド

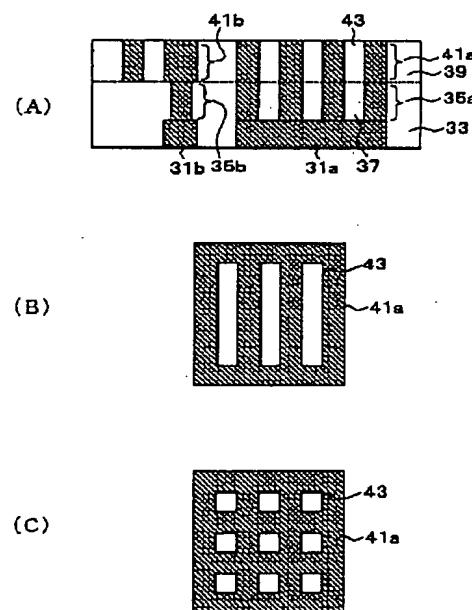
【図1】



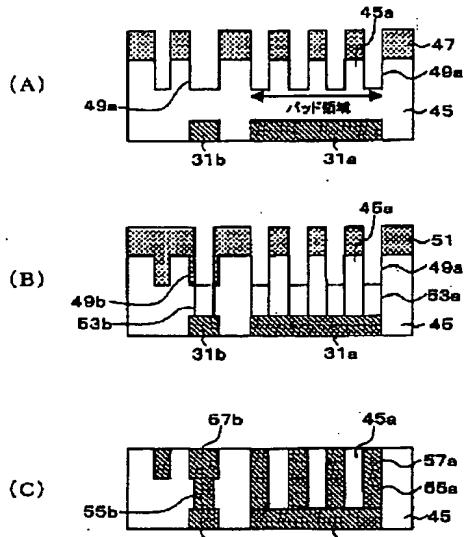
【図2】



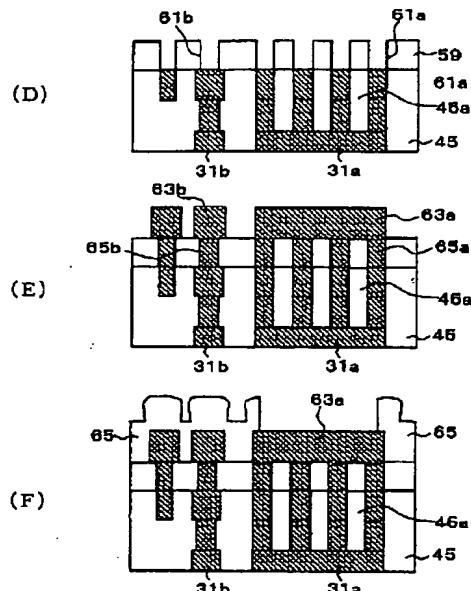
【図3】



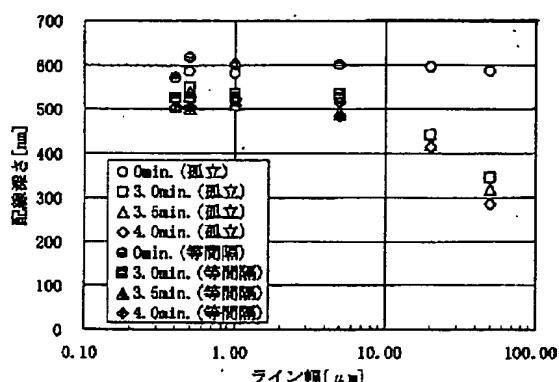
【图4】



[図5]



【図6】



[図7]

